

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-086884

(43)Date of publication of application : 20.03.2003

(51)Int.Cl.

H01S 5/028  
C23C 14/08  
H01L 21/203  
H01L 21/316

(21)Application number : 2001-273737

(71)Applicant : ROHM CO LTD

(22)Date of filing : 10.09.2001

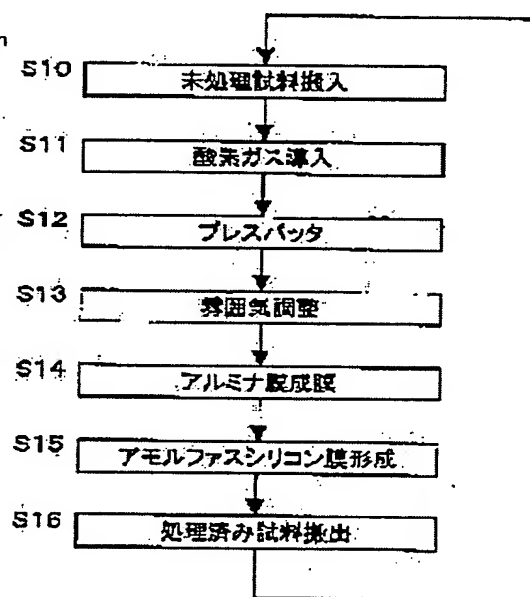
(72)Inventor : YAMAMOTO TOMOKI

## (54) SEMICONDUCTOR LASER MANUFACTURING METHOD AND APPARATUS

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor laser manufacturing method and a manufacturing apparatus capable of forming an alumina film having a stable optical constant on the end face of a semiconductor laser chip.

**SOLUTION:** A semiconductor laser chip is loaded into the processing chamber of a load lock-type sputtering device (step S10). Oxygen gas is introduced into the processing chamber (step S11). Pre-sputtering is carried out, and unstable silicon atoms are removed by bonding them to activated oxygen (step S12). An atmosphere inside the processing chamber is regulated (step S13). An alumina film is formed as an end face protective film on each end face of the semiconductor laser chip (step S14). An amorphous silicon film is formed on the reflection end face of the semiconductor laser chip (step S15). The semiconductor laser chip subjected to the processes is unloaded from the processing chamber (step S16). The processes are repeatedly carried out as many times as required.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2003-86884  
(P2003-86884A)

(43)公開日 平成15年3月20日(2003.3.20)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
H 0 1 S 5/028		H 0 1 S 5/028	4 K 0 2 9
C 2 3 C 14/08		C 2 3 C 14/08	A 5 F 0 5 8
H 0 1 L 21/203		H 0 1 L 21/203	S 5 F 0 7 3
21/316		21/316	Y 5 F 1 0 3

審査請求 未請求 請求項の数10 O L (全 11 頁)

(21)出願番号 特願2001-273737(P2001-273737)

(22)出願日 平成13年9月10日(2001.9.10)

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 山本 智樹

京都市右京区西院溝崎町21番地 ローム株  
式会社内

(74)代理人 100087701

弁理士 稲岡 耕作 (外2名)

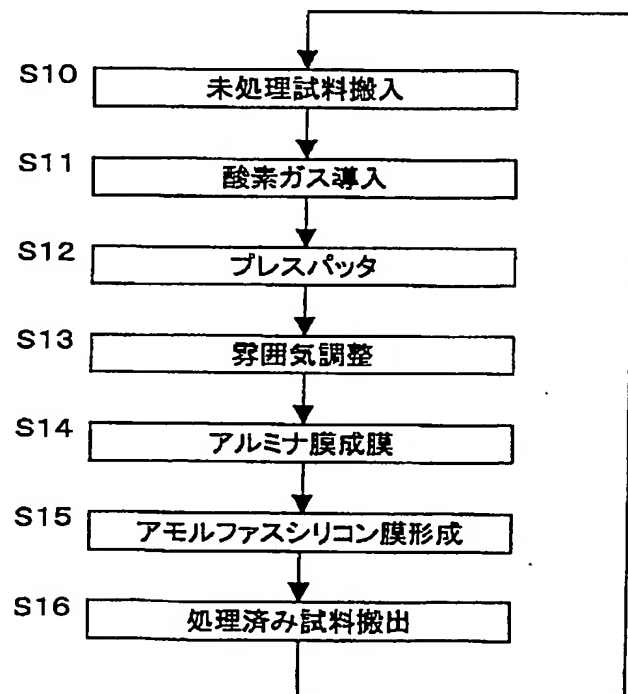
最終頁に続く

(54)【発明の名称】 半導体レーザの製造方法および製造装置

(57)【要約】

【課題】半導体レーザチップの端面に、安定な光学定数を有するアルミナ膜を成膜することができる半導体レーザの製造方法および製造装置を提供する。

【解決手段】ロードロック式のスパッタ装置の処理室内に、半導体レーザチップを搬入する(ステップS10)。処理室に酸素ガスを導入する(ステップS11)。プレスパッタを行い、不安定なシリコン原子を活性化された酸素と結合させ除去する(ステップS12)。処理室内の雰囲気調整を行う(ステップS13)。半導体レーザチップの両端面に端面保護膜としてのアルミナ膜を成膜する(ステップS14)。半導体レーザチップの反射側端面にアモルファスシリコン膜を形成する(ステップS15)。以上の処理が施された半導体レーザチップを処理室から搬出する(ステップS16)。以上の工程を所望の回数繰り返す。



**【特許請求の範囲】**

【請求項 1】半導体レーザチップの端面に端面保護膜としてのアルミナ膜を形成して半導体レーザを製造する方法であって、

端面保護膜を形成すべき半導体レーザチップを処理室に搬入する工程と、

上記処理室内で酸素プラズマを生成させて、処理室内に存在する化学的に不安定な物質を除去する浄化工程と、この浄化工程の後に、上記処理室内において、スパッタリングにより、上記端面保護膜を構成するアルミナ膜を上記半導体レーザチップの端面に形成する工程とを含むことを特徴とする半導体レーザの製造方法。

【請求項 2】上記浄化工程は、上記処理室内で、シリコン原子を含むターゲットを使用したスパッタリングの後に行われることを特徴とする請求項 1 記載の半導体レーザの製造方法。

【請求項 3】第 1 の半導体レーザチップを処理室に搬入する工程と、

上記処理室内において、上記第 1 の半導体レーザチップの端面に、シリコンをターゲットとしたスパッタリングによって、アモルファスシリコン膜を成膜する工程と、上記第 1 の半導体レーザチップを上記処理室から搬出する工程と、

第 2 の半導体レーザチップを上記処理室に搬入する工程と、

上記処理室内において、上記第 2 の半導体レーザチップの端面に、スパッタリングによって、アルミナ膜を成膜する工程と、

上記アモルファスシリコン膜の成膜工程の後であって、上記第 2 の半導体レーザチップの端面にアルミナ膜を成膜する工程よりも前に、上記処理室内で酸素プラズマを生成させて、上記処理室内の不安定なシリコン原子を除去する浄化工程とを含むことを特徴とする半導体レーザの製造方法。

【請求項 4】上記半導体レーザチップの搬入および搬出が、上記処理室内をほぼ真空中に保持した状態で行われることを特徴とする請求項 1 ないし 3 のいずれかに記載の半導体レーザの製造方法。

【請求項 5】処理室内において、この処理室内に置かれた半導体レーザチップの端面に、シリコンをターゲットとしたスパッタリングによって、アモルファスシリコン膜を成膜する工程と、

上記処理室内において、この処理室内に置かれた半導体レーザチップの端面に、スパッタリングによって、アルミナ膜を成膜する工程と、

上記アモルファスシリコン膜の成膜工程の後であって、アルミナ膜を成膜する工程よりも前に、上記処理室内で酸素プラズマを生成させて、上記処理室内の不安定なシリコン原子を除去する浄化工程とを含むことを特徴とする半導体レーザの製造方法。

【請求項 6】上記処理室内をほぼ真空中に保持した状態で、上記処理室に対して半導体レーザチップを搬入または搬出する工程をさらに含むことを特徴とする請求項 5 記載の半導体レーザの製造方法。

【請求項 7】上記浄化工程は、上記処理室内の雰囲気中に酸素を添加する工程と、この酸素が添加された雰囲気中でアルミナターゲットを所定時間プレスパッタする工程とを含むことを特徴とする請求項 1 ないし 6 のいずれかに記載の半導体レーザの製造方法。

【請求項 8】半導体レーザチップの端面に端面保護膜としてのアルミナ膜を形成して半導体レーザを製造するための装置であって、

アルミナを含む第 1 ターゲットおよびシリコン原子を含む第 2 ターゲットが配置され、内部が真空状態に保持される処理室と、

この処理室を真空状態に保持しつつ、半導体レーザチップを当該処理室に対して搬入および搬出する搬入・搬出機構と、

上記第 2 ターゲットを用いたスパッタリングを行わせて、上記処理室内の半導体レーザチップの端面にシリコン原子を含む膜を形成する手段と、

上記処理室内で酸素プラズマを生成させて、上記処理室内の化学的に不安定な物質を除去する浄化手段と、

上記浄化手段によって上記処理室内が浄化された後に、上記第 1 ターゲットを用いたスパッタリングを行わせて、上記処理室内の半導体レーザチップの端面にアルミナ膜を成膜させる手段とを含むことを特徴とする半導体レーザ製造装置。

【請求項 9】上記第 2 ターゲットがシリコンターゲットであることを特徴とする請求項 8 記載の半導体レーザ製造装置。

【請求項 10】上記浄化手段は、上記処理室内の雰囲気中に酸素を添加する手段と、上記処理室内の雰囲気中に酸素が添加された状態で上記第 1 ターゲットを所定時間プレスパッタさせる手段とを含むことを特徴とする請求項 8 または 9 記載の半導体レーザ製造装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】この発明は、半導体レーザチップの端面に端面保護膜としてのアルミナ膜を形成して作製される半導体レーザの製造方法およびそのような半導体レーザのための製造装置に関する。

**【0002】**

【従来の技術】半導体レーザは、半導体レーザチップの両端面に端面保護膜を成膜して作製される。半導体レーザチップの一方端面（反射側端面）には、端面保護膜としてのアルミナ膜とアモルファスシリコン膜との多層構造の膜が形成され、半導体チップの内部で生じた光の大

部分をチップ内部に反射する反射膜としての特性を有する。半導体レーザチップの他方の端面（レーザ出射側端面）には、アルミナ膜の単膜からなる端面保護膜が形成され、この膜は、半導体チップの内部に一部の光を反射しつつ、外部に大量の光を取り出すことができる半透膜としての性質を有する。

【0003】このような構成の半導体レーザを製造するための製造装置は、アルミナターゲットおよびアモルファスシリコンターゲットが配置された処理室と、この処理室に対して処理対象の半導体レーザチップを搬入し、処理後の半導体レーザチップを搬出する搬入／搬出機構とを備えている。処理室は、真空装置を用いて所望の真空状態に保持される。この状態で、アルミナまたはアモルファスシリコンターゲットを用いたスパッタリングが行われ、これにより、処理室内の半導体レーザチップの端面にアルミナ膜またはアモルファスシリコン膜が成膜される。

【0004】搬入／搬出機構は、ゲートバルブを介して処理室に結合されたロード／アンロード室を備えている。このロード／アンロード室は、真空装置に接続されていて、必要に応じて内部を真空状態にすることができる。処理対象の半導体レーザチップを処理室に搬入するときには、ロード／アンロード室にその半導体レーザチップを収容し、このロード／アンロード室を気密に密閉する。この状態で、ロード／アンロード室が処理室と同等の真空状態とされる。それに引き続き、上述のゲートバルブが開かれて、ロード／アンロード室から処理室内へと半導体レーザチップが搬入される。その後、ゲートバルブを閉鎖し、アルミナまたはアモルファスシリコンターゲットを用いたスパッタリングが行われる。処理後の半導体レーザチップを処理室から取り出す場合には、上述の搬入操作と逆の搬出操作が行われることになる。

【0005】このような構成の製造装置は、ロードロック式と呼ばれ、アルミナ膜およびアモルファスシリコン膜を成膜するための処理室が、常時真空状態に保持される。そのため、1つのバッチの半導体レーザチップに対する処理が終了するたびに処理室を開放してしまう構成の製造装置に比較して、格段に高い生産性を実現できるというメリットがある。このような構成の製造装置を用いて半導体レーザを製造する場合には、処理室に搬入された半導体レーザチップのレーザ出射側端面にアルミナ膜がまず成膜される。続いて、反射側端面にアルミナ膜が成膜される。アルミナ膜の成膜はアルミナをターゲットとしたスパッタリングによって行われる。この後に、アモルファスシリコンターゲットを用いたスパッタリングによって、反射側端面のアルミナ膜上にアモルファスシリコン膜が成膜される。その後、半導体レーザチップが処理室外に搬出される。

【0006】続いて、別のバッチに属する半導体レーザ

チップが処理室に搬入されて、同様の手順でアルミナ膜およびアモルファスシリコン膜がレーザ出射側端面および反射側端面にそれぞれ成膜される。

【0007】

【発明が解決しようとする課題】したがって、処理室内では、アルミナをターゲットとして用いたスパッタリングと、アモルファスシリコンをターゲットとして用いたスパッタリングとが交互に行われることになる。ところが、アルミナ膜を成膜するときに、その前にアモルファスシリコンターゲットを用いたスパッタリングを行ったときの残留シリコン原子が処理室内の雰囲気（たとえばアルゴン雰囲気）中に大量に浮遊している。そのため、アルミナ膜中に処理室内の残留シリコン原子が取り込まれ、アルミナ膜の膜質が悪化し、その光学定数が変動するという問題がある。

【0008】アルミナ膜の光学定数は、半導体レーザの端面保護膜の反射率を左右するから、半導体レーザの発振特性に影響がある。すなわち、端面保護膜が所望の反射率を有することができなければ、半導体レーザの発振特性が悪くなる。そこで、この発明の目的は、上述の技術的課題を解決し、安定な光学特性を有するアルミナ膜を含む端面保護膜を半導体レーザチップの端面に成膜することができ、これにより所望の発振特性の半導体レーザを製造することができる方法、およびこのような方法の実施に適した製造装置を提供することである。

【0009】

【課題を解決するための手段および発明の効果】上記の目的を達成するための請求項1記載の発明は、半導体レーザチップの端面に端面保護膜としてのアルミナ膜を形成して半導体レーザを製造する方法であって、端面保護膜を形成すべき半導体レーザチップを処理室に搬入する工程と、上記処理室内で酸素プラズマを生成させて、処理室内に存在する化学的に不安定な物質を除去する浄化工程と、この浄化工程の後に、上記処理室内において、スパッタリングにより、上記端面保護膜を構成するアルミナ膜を上記半導体レーザチップの端面に形成する工程とを含むことを特徴とする半導体レーザの製造方法である。

【0010】酸素プラズマの生成に先立って、処理室内に酸素ガスを導入する工程が実行されてもよい。その場合、酸素ガスは単独で導入されてもよく、酸素ガスと不活性ガスとの混合ガスとして導入されてもよい。この方法によれば、処理室内で酸素プラズマを生成させ、これにより活性化された酸素と処理室内に存在する不安定な物質とを結合させることによって、処理室内の不安定な物質を排除することができる。こうして、処理室内の浄化が行われた後に、スパッタリングによって半導体レーザチップの端面に端面保護膜を構成するアルミナ膜が成膜される。したがって、このアルミナ膜には、その成膜前に処理室内に存在していた汚染物質が混入することが

ない。

【0011】 によって、この発明の方法によって形成されたアルミナ膜は、所望の光学定数を確実に有することができるから、端面保護膜は確実に所望の反射率を有することができる。これによって、一定の発振特性を有する半導体レーザを作製することができる。半導体レーザチップの処理室への搬入は、浄化工程の前に行われてもよいし、浄化工程の後に行われてもよい。

【0012】 請求項2記載の発明は、上記浄化工程は、上記処理室内で、シリコン原子を含むターゲット（たとえば、 $\alpha$ -SiターゲットまたはSiO<sub>2</sub>ターゲット）を使用したスパッタリングの後に行われることを特徴とする請求項1記載の半導体レーザの製造方法である。シリコン原子を含むターゲットを使用したスパッタリングの後には、処理室内には化学的に不安定なシリコン原子が存在している。この状態でアルミナ膜を成膜すれば、アルミナ膜中にシリコン原子が取り込まれ、アルミナ膜の光学定数に悪影響を及ぼす。そこで、この発明では、シリコン原子を含むターゲットを使用したスパッタリングの後アルミナ膜を成膜する場合には、処理室内で酸素プラズマを生成させる。これにより、不安定なシリコン原子を活性化された酸素と結合させ、処理室内から不安定なシリコン原子が排除される。こうして、所望の光学定数を有するアルミナ膜を安定に形成することができる。

【0013】 請求項3記載の発明は、第1の半導体レーザチップを処理室に搬入する工程と、上記処理室内において、上記第1の半導体レーザチップの端面に、シリコンをターゲットとしたスパッタリングによって、アモルファスシリコン膜を成膜する工程と、上記第1の半導体レーザチップを上記処理室から搬出する工程と、第2の半導体レーザチップを上記処理室に搬入する工程と、上記処理室内において、上記第2の半導体レーザチップの端面に、スパッタリングによって、アルミナ膜を成膜する工程と、上記アモルファスシリコン膜の成膜工程の後であって、上記第2の半導体レーザチップの端面にアルミナ膜を成膜する工程よりも前に、上記処理室内で酸素プラズマ生成させて、上記処理室内の不安定なシリコン原子を除去する浄化工程とを含むことを特徴とする半導体レーザの製造方法である。

【0014】 この方法によれば、第1の半導体レーザチップを処理室に搬入して、その端面に、シリコンをターゲットとしたスパッタリングによってアモルファスシリコン膜が成膜される。この第1の半導体レーザチップを処理室から搬出した後に、第2の半導体レーザチップが当該処理室に搬入される。そして、この処理室内において、スパッタリングにより、第2の半導体レーザチップの端面にアルミナ膜が成膜される。

【0015】 このアルミナ膜の成膜よりも前に、処理室内で酸素プラズマが生成され、不安定なシリコン原子が

活性化された酸素原子と結合して排除される。したがって、処理室内ではアモルファスシリコン膜の成膜と、アルミナ膜の成膜とが交互に行われるけれども、アルミナ膜中にシリコン原子が取り込まれることはない。このようにして、安定な光学定数を有するアルミナ膜を確実に成膜することができる。

【0016】 請求項4記載の発明は、上記半導体レーザチップの搬入および搬出が、上記処理室内をほぼ真空中に保持した状態で行われる（いわゆるロードロック式）ことを特徴とする請求項1ないし3のいずれかに記載の半導体レーザの製造方法である。この発明では、半導体レーザチップの搬入および搬出は、処理室内をほぼ真空中に保持した状態で行われる。したがって、アルミナ膜やアモルファスシリコン膜の成膜のためにスパッタリングを行うたびに処理室を真空状態とするための操作を行う必要がないから、良好な生産性を実現できる。

【0017】 この発明の方法を適用する場合には、処理室を常時真空状態に保持することができるから、処理室内に生じた不安定な物質を排除することが困難な場合がある。しかし、この発明によれば、処理室内で酸素プラズマを生成させることにより化学的に不安定な物質を少なくともアルミナ膜の成膜に先立って排除することができる。したがって、良好な光学定数を有するアルミナ膜を確実に形成することができる。

【0018】 いわゆるロードロック式の製造装置を用いて半導体レーザチップの端面に端面保護膜としてのアルミナ膜を形成するとすれば、本発明の方法を採用しない限り、アルミナ膜の光吸収係数を零にすることができない。請求項5記載の発明は、処理室内において、この処理室内に置かれた半導体レーザチップの端面に、シリコンをターゲットとしたスパッタリングによって、アモルファスシリコン膜を成膜する工程と、上記処理室内において、この処理室内に置かれた半導体レーザチップの端面に、スパッタリングによって、アルミナ膜を成膜する工程と、上記アモルファスシリコン膜の成膜工程の後であって、アルミナ膜を成膜する工程よりも前に、上記処理室内で酸素プラズマ生成させて、上記処理室内の不安定なシリコン原子を除去する浄化工程とを含むことを特徴とする半導体レーザの製造方法である。

【0019】 この発明においても、同一の処理室内においてシリコンをターゲットとしたスパッタリングによるアモルファスシリコン膜の成膜と、スパッタリングによるアルミナ膜の成膜とが行われる。アルミナ膜を成膜するときには、それに先立って処理室内で酸素プラズマが生成され、処理室内の不安定なシリコン原子が除去される。したがって、半導体レーザチップの端面には、良好な光学定数を有するアルミナ膜を成膜することができる。

【0020】 半導体レーザチップのレーザ出射側端面にアルミナ膜の単層からなる端面保護膜を形成し、半導体

レーザチップの反射側端面に、端面保護膜としてのアルミナ膜と、このアルミナ膜の表面に積層されたアモルファスシリコン膜との複合膜を形成して、半導体レーザが製造されてもよい。この場合には、たとえば、一つの半導体レーザチップのレーザ出射側端面にアルミナ膜を成膜し、続いて当該半導体レーザチップの反射側端面に同じくアルミナ膜を成膜し、さらに、レーザ反射側端面のアルミナ膜上にアモルファスシリコン膜を形成することによって、半導体レーザチップを作製するようにしてもよい。

【0021】一つの半導体レーザチップの端面に形成される一対のアルミナ膜およびアモルファスシリコン膜は、一つの処理室内におけるスパッタリングによって形成されてもよい。この場合には、一つの半導体レーザチップの反射側端面にアモルファスシリコン膜が成膜された後、この半導体レーザチップが処理室から搬出される。続いて処理室に搬入される別の半導体レーザチップに対する最初の成膜処理は、アルミナ膜の成膜となる。すなわち、処理室内では、シリコンをターゲットとしたスパッタリングと、アルミナをターゲットとしたスパッタリングとが交互に行われることになる。

【0022】半導体レーザチップの端面保護膜の形成順序は、必ずしも上述の通りでなくともよい。たとえば、半導体レーザチップの反射側端面にアルミナ膜を成膜し、このアルミナ膜上にアモルファスシリコン膜を積層して成膜するとともに、その後に、半導体レーザチップのレーザ出射側端面にアルミナ膜を成膜することとしてもよい。この場合には、反射側端面にアモルファスシリコン膜を形成した後であって、レーザ出射側端面にアルミナ膜を成膜するよりも前に、処理室内に酸素プラズマを生成させればよい。

【0023】請求項6記載の発明は、上記処理室内をほぼ真空中に保持した状態で、上記処理室に対して半導体レーザチップを搬入または搬出する工程をさらに含むことを特徴とする請求項5記載の半導体レーザの製造方法である。この発明によれば、処理室を真空状態に常時保持することができるので、半導体レーザの生産性を向上できる。しかも、アルミナ膜の成膜よりも前に酸素プラズマを処理室内で生成させることにより、処理室内を浄化することができるから、良好な光学定数を有するアルミナ膜を確実に成膜することができる。

【0024】請求項7記載の発明は、上記浄化工程は、上記処理室内の雰囲気中に酸素を添加する工程と、この酸素が添加された雰囲気中でアルミナターゲットを所定時間プレスバツタする工程とを含むことを特徴とする請求項1ないし6のいずれかに記載の半導体レーザの製造方法である。プレスバツタは、たとえば、処理室内に置かれたすべてのターゲットをシャッタで遮蔽した状態で、処理室内に高周波電界を印加することによって、特にアルミナターゲットとシャッタとの間でプラズマを生成さ

せる処理であってもよい。

【0025】この発明によれば、処理室内の雰囲気（たとえばアルゴン雰囲気）に酸素を添加した状態で、アルミナターゲットをプレスバツタすることによって、酸素プラズマが処理室内に生成される。これにより、スパッタリングのための設備を用いて、処理室内に酸素プラズマを生成させることができるから、半導体レーザ製造装置の構成が複雑化したり、そのコストが過度に高くなったりすることがない。請求項8記載の発明は、半導体レーザチップの端面に端面保護膜としてのアルミナ膜を形成して半導体レーザを製造するための装置であって、アルミナを含む第1ターゲットおよびシリコン原子を含む第2ターゲットが配置され、内部が真空状態に保持される処理室と、この処理室を真空状態に保持しつつ、半導体レーザチップを当該処理室に対して搬入および搬出する搬入・搬出機構と、上記第2ターゲットを用いたスパッタリングを行わせて、上記処理室内の半導体レーザチップの端面にシリコン原子を含む膜を形成する手段と、上記処理室内で酸素プラズマを生成させて、上記処理室内の化学的に不安定な物質を除去する浄化手段と、上記浄化手段によって上記処理室内が浄化された後に、上記第1ターゲットを用いたスパッタリングを行わせて、上記処理室内の半導体レーザチップの端面にアルミナ膜を成膜させる手段とを含むことを特徴とする半導体レーザ製造装置である。

【0026】この装置を用いることによって、上述の製造方法を実施することができる。この製造装置を用いて作製された半導体レーザの端面保護膜を構成するアルミナ膜は、シリコン原子の混入がなく、優れた光学定数を有することができる。具体的には、光吸収のほとんどないアルミナ膜を形成することができる。上記第2ターゲットは、請求項9記載のように、シリコンターゲットであってもよい。また、上記第2ターゲットが酸化シリコンターゲットのようなシリコン原子を含む他の種類のターゲットである場合にも、この発明を適用することによって、シリコンの混入のない良好なアルミナ膜を成膜できる。

【0027】請求項10記載の発明は、上記浄化手段は、上記処理室内の雰囲気に酸素を添加する手段と、上記処理室内の雰囲気に酸素が添加された状態で上記第1ターゲットを所定時間プレスバツタさせる手段とを含むことを特徴とする請求項8または9記載の半導体レーザ製造装置である。この構成により請求項7に記載した製造方法を実施することができる。

【0028】

【発明の実施の形態】以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。図1は、この発明の一実施形態に係る製造方法によって作製されるべき半導体レーザの構成を簡略化して示す斜視図である。また、図2は、上記半導体レーザの横断面図である。こ

の半導体レーザは、半導体レーザチップ10の両端面に端面保護膜11、12をそれぞれ形成し、一方の端面には端面保護膜12の上にさらにアモルファスシリコン膜13を形成して構成される。端面保護膜11、12は、レーザ光が取り出されるレーザ出射側端面、および半導体レーザチップ10内で発生した光の大部分をチップ内に反射する反射側端面にそれぞれ形成されており、たとえばスパッタ成膜されたアルミナの単膜からなる。反射側端面には、端面保護膜12の上に、たとえばスパッタ成膜されたアモルファスシリコン膜13が形成されており、これにより、2層構造の反射膜が形成されている。

【0029】図2に示すように、半導体レーザチップ10は、GaAs等の化合物半導体基板1上に、n型クラッド層2、活性層3、p型クラッド層4、p型コンタクト層5をこの順に積層して構成されている。p型クラッド層4の膜厚方向中間部付近には、チップ内に流れる電流を半導体レーザチップ10の中心軸付近に狭搾するための電流阻止層6が設けられている。さらに、化合物半導体基板1の表面（n型クラッド層2とは反対側の表面）には、n側電極7がオーミック接触している。同様に、p型コンタクト層5の露出表面には、p側電極8がオーミック接触している。

【0030】図3は、上述の構造の半導体レーザの製造工程を概説するためのフローチャートである。化合物半導体基板1の上に、n型クラッド層2（ステップS1）、活性層3（ステップS2）、p型クラッド層4（ステップS3）、電流阻止層6（ステップS4）、およびp型コンタクト層5（ステップS5）を順次結晶成長する。これらは、1枚の大きな化合物半導体基板上に、図2に示す半導体レーザ素子の個片部を密に配した状態に形成される。

【0031】その後、化合物半導体基板1（n型クラッド層2とは反対側の面）をラッピング処理し、試料を所望の厚さに薄くする（ステップS6）。続いて、p型コンタクト層5が形成されている面にp側電極8を形成し、化合物半導体基板1側にn側電極7を形成する（ステップS7）。そして、劈開により個々の半導体レーザ素子に対応する個片に切り出し、チップ化する（ステップS8）。得られた半導体レーザチップの両端面に端面保護膜11、12を形成し、これらのうち一方の端面にアモルファスシリコン膜13を形成する（ステップS9）。

【0032】図4は、端面保護膜11、12およびアモルファスシリコン膜13を形成するためのスパッタ装置の処理室の構造を示す図解的な断面図である。処理室21の内部には電極22と電極23a、23bとが対向配置されている。一方側の電極22の表面上には、半導体レーザチップ10（図4では複数個）が試料保持板24を介して配置され、他方側の電極23a、23b上にはバックングプレート25a、25bを介して、薄膜の原

料物質である第1および第2ターゲット26a、26bが固定されている。第1ターゲット26aおよび第2ターゲット26bは、互いに異なる種類のものであってもかまわない。本装置により、アルミナ膜の成膜およびアモルファスシリコン膜の成膜を行う場合は、第1ターゲット26aはアルミナターゲット、第2ターゲット26bは $\alpha$ -Siターゲットである。

【0033】ターゲット26a、26bの前方（バックングプレート25a、25bとは逆側）には、それぞれシャッタ27a、27bが、ターゲット26a、26bと適当な距離をあけて配置されている。シャッタ27aおよびシャッタ27bは、各ターゲット26a、26bの前方を遮蔽／開放可能な個別の遮蔽板であってもかまわないし、1つのターゲット相当の大きさおよび形状の穴を有する1枚の大きな遮蔽板が、穴の位置を移動させることにより各ターゲット26a、26b前方を遮蔽／開放可能なものであってもかまわない。

【0034】処理室21にはガス導入部Aと排気部Cとが設けられている。ガス導入部Aには、流量コントロールバルブB1を介したアルゴンガス供給源と、流量コントロールバルブB2を介した酸素ガス供給源とが配管で結ばれている。排気部Cには真空ポンプP21が配管で結ばれている。電極23aや電極23bは、マッチングボックス29Tを介した電源28Tに電氣的に接続可能な状態となっている。電極22は、接地されている。

【0035】シャッタ27a、27b、電源28T、マッチングボックス29T、流量コントロールバルブB1、B2、および真空ポンプP21は、コントローラ30により制御されるようになっている。成膜時には、流量コントロールバルブB1をコントローラ30で制御して開き、ガス導入部Aからアルゴンなどの不活性ガスを処理室21内に導入し、処理室21内を不活性ガス雰囲気にする。併せて、真空ポンプP21をコントローラ30で制御して、排気部Cより処理室21内の排気を行い、処理室21内部を所望の圧力の減圧状態とする。

【0036】アルミナ膜を成膜する場合、アルミナターゲット（第1ターゲット26a）を利用したスパッタ成膜を行う。この場合、コントローラ30の制御により、シャッタ27aが開放され、シャッタ27bが閉じられ、電源28Tがターゲット26a側の電極23aに接続される。第2ターゲット26b側の電極23bには電源28Tが接続されない。コントローラ30で電源28Tを制御することにより、電極22、23a間に高周波電界を発生させる。この高周波電界の作用により処理室21内の不活性ガスをプラズマ状態とし、放電を起こさせる。

【0037】放電により処理室21内部で消費される高周波電力の効率、コントローラ30によって制御されるマッチングボックス29Tで回路定数を調節することにより、処理室21内部のインピーダンスが変わって



も、高く保持される。運動エネルギーを持った不活性ガスの原子がアルミナターゲットの表面に衝突することで、このターゲットを構成する原子が飛び出し、対向した半導体レーザチップ10の表面に到達し堆積する。これにより、半導体レーザチップ10の表面にアルミナ膜が形成される。

【0038】アモルファスシリコン膜を成膜する場合も、同様に $\alpha$ -Siターゲット（第2ターゲット26b）を利用したスパッタ成膜を行う。この実施形態では、処理室21内の浄化のために、適当なタイミングでいわゆるプレスパッタ処理が行われる。プレスパッタに際しては、コントローラ30はバルブB2を開き、ガス導入部Aより酸素ガスを導入させ、処理室21内を所定酸素分圧の雰囲気とする。次に、コントローラ30の制御により、すべてのシャッター27a、27bが閉じられ、電源28Tによりアルミナターゲット側の電極23aに高周波電力が供給される。これにより、電極23aと電極22との間に高周波電界を生じさせ、この高周波電界の作用により放電を起こさせ、酸素プラズマを発生させる。この場合、放電はシャッター27aとアルミナターゲット（第1ターゲット26a）との間で起こるが、第1ターゲット26aを構成する原子は、半導体レーザチップ10の表面には到達しない。ただし、シャッター27aを閉じた状態でも、シャッター27aと第1ターゲット26aとの間の空間は、密閉状態とはならず、側方等で処理室21内に開放されている。

【0039】図5は、スパッタ装置全体の構成を概説するための図解的な概略図である。本装置は、いわゆるロードロック式の装置であって、処理室21と、処理室21内を真空状態に保持しつつ半導体レーザチップ10の搬入／搬出を行うための搬入／搬出機構36とを備える。搬入／搬出機構36は、ロード／アンロード室31と、ロード／アンロード室31内に配置された搬送機構35とを備えている。ロード／アンロード室31には、ゲートバルブ32、33、リーク弁34、および排気部Dが設けられている。ロード／アンロード室31は、ゲートバルブ32を介して処理室21に結合している。排気部Dには、配管により真空ポンプP31が結ばれている。搬送機構35は、ロード／アンロード室31と処理室21との間で試料保持板24を搬送するための機構である。

【0040】図6は、図3のステップS9の工程を概説するためのフローチャートであり、搬入／搬出機構36の動作が示されている。ロード／アンロード室31内に、未処理試料（端面保護膜11、12およびアモルファスシリコン膜13を形成していない半導体レーザチップ10）を固定した試料保持板24が用意される。コントローラ30の制御により、真空ポンプP21、P31が作動され、ロード／アンロード室31内部および処理室21内部が、ともにほぼ真空の状態に保持される。コ

ントローラ30の制御により、ゲートバルブ32が開かれ、搬送機構35により、未処理試料を固定した試料保持板24が、処理室21内へ搬入され、電極22上の所定の位置に据え付けられる（ステップS10）。その後、コントローラ30の制御により、ゲートバルブ32は閉じられる。

【0041】コントローラ30の制御によりバルブB2が開かれ、ガス導入部Aより酸素ガスが導入され、処理室21内が所定の酸素分圧に調整される（ステップS11）。次に、アルミナターゲット（第1ターゲット26a）をプレスパッタする（ステップS12）。すなわち、コントローラ30の制御により、図4の説明で述べた動作によりシャッター27aとアルミナターゲット（第1ターゲット26a）との間に酸素プラズマが生成される。処理室21内の雰囲気中には、前回アモルファスシリコン膜13の成膜を行った（ステップS15）際に発生した不安定なシリコン原子が多量に存在しているが、この不安定なシリコン原子は、プレスパッタ（ステップS12）により活性化された酸素原子と結合して排除される。

【0042】コントローラ30の制御により、バルブB1を制御したり、真空ポンプP21を作動させることにより、処理室21内に、ガス導入部Aからアルゴンなどの不活性ガスが導入されたり、排気部Cから排気が行われ、処理室21内が所定の雰囲気調整される（ステップS13）。コントローラ30の制御により、図3の説明で述べた動作により、アルミナターゲット（第1ターゲット26a）を用いたスパッタが行われ、半導体レーザチップ10の端面にアルミナ膜11、12が形成される（ステップS14）。成膜は、反射側端面、レーザ射出側端面の順、またはその逆の順に行ってもかまわない。

【0043】次に、必要に応じて処理室21内の雰囲気を調整した後、 $\alpha$ -Siターゲット（第2ターゲット26b）を用いたスパッタが行われ、半導体レーザチップ10の反射側端面に、アモルファスシリコン膜13が形成される（ステップS15）。アモルファスシリコン膜13の成膜は、コントローラ30の制御により、アルミナ膜の成膜と同様の動作で行われる。コントローラ30の制御により、真空ポンプP21、P31が動作され、ロード／アンロード室31内部および処理室21内部が、ともにほぼ真空の状態に保持される。コントローラ30の制御により、ゲートバルブ32が開かれ、搬送機構35により、以上の処理が施された試料を固定した試料保持板24が、処理室21内からロード／アンロード室31へ搬出される（ステップS16）。その後、コントローラ30の制御により、ゲートバルブ32は閉じられる。

【0044】以下、所望の回数だけ未処理試料の搬入工程（ステップS10）から処理済み試料の搬出工程（ス



ステップS16)までを繰り返す。このような製造方法によれば、アルミナ膜11、12の成膜を行うまでに、処理室21内の雰囲気中に存在する不安定なシリコン原子は排除されるので、アルミナ膜11、12中にシリコン原子が取り込まれることはない。したがって、安定な光学定数を有するアルミナ膜11、12を確実に成膜することができる。

【0045】処理室21内でステップS11～ステップS15の工程を実行している間、必要に応じてリーク弁34を開いてロード／アンロード室31内を大気雰囲気とし、ゲートバルブ33を開いて、処理済み試料を取り出したり、未処理試料を搬入したりした後、ゲートバルブ33を閉じ、真空ポンプP31により、ロード／アンロード室31を真空にするという作業を行うことが可能である。処理済み試料の装置外への搬出や未処理試料の装置内への搬入は、装置内における試料の搬入／搬出を行うべき空間を大気雰囲気にしたり、真空にしたりする必要があるため、比較的長い時間を要する。本装置においては、これらの操作を成膜処理と並行して行えるので、半導体レーザを良好な生産性で量産することができる。

【0046】表1は、端面保護膜であるアルミナ膜の形成に関して、本発明の上記実施形態の製造方法を適用した場合(表1には本発明適用と略記)、および本発明不適用の場合それぞれについて、得られたアルミナ膜の光学定数として光吸収係数を測定しまとめたものである。本発明不適用の場合とは、図6に示すフローチャートで、酸素ガス導入の工程(ステップS11)およびプレスパッタの工程(ステップS12)を行わなかった場合である。

【0047】

【表1】

	光吸収係数平均 ( $\text{cm}^{-1}$ )
本発明適用	0.00000
本発明不適用	0.00825

【0048】光吸収係数は、本発明適用の場合は $0\text{ cm}^{-1}$ であるが、本発明不適用の場合は $0.00825\text{ cm}^{-1}$ である。すなわち、本発明を適用して得られたアルミナ膜は光の吸収がないが、本発明を適用せずに得られたアルミナ膜は光の吸収がある。これは、本発明を適用しなかった場合は、アモルファスシリコン膜13成膜時に発生した不安定なシリコン原子は、アルミナ膜を成膜するときまで除去される工程がないことによる。シリコン原子は光を吸収するので、シリコン原子が取り込まれたアルミナ膜は光を吸収する。すなわち、従来の方法では、この不安定なシリコン原子が必ずアルミナ膜中に取り込まれ、アルミナ膜の光吸収係数が高くなる。

【0049】本発明適用の場合は、アルミナ膜にシリコ

ン原子が取り込まれることはない。したがって、安定な光吸収係数を有するアルミナ膜を含む端面保護膜11、12を半導体レーザチップ10の端面に成膜することができ、これにより所望の発振特性の半導体レーザを製造することが可能である。図7は、上述の本発明の他の実施形態に係る製造方法を概説するためのフローチャートである。各工程の内容は図6の説明で述べたものと同様であるが、この製造方法においては、実行する工程の順序が図6とは異なる。

【0050】この製造方法では、未処理試料(端面保護膜11、12の形成を行っていない半導体レーザチップ10)を処理室21に搬入し(ステップT10)、雰囲気調整を行い(ステップT11)、半導体レーザチップ10の両端面にアルミナ膜を形成し(ステップT12)、反射側端面にアモルファスシリコン膜13を形成(ステップT13)した後、処理室21内に酸素ガスを導入し(ステップT14)、プレスパッタを行う(ステップT15)。その後、以上の処理が施された試料(処理済み試料)を処理室21からロード／アンロード室31へと搬出する。以下、所望の回数だけ未処理試料の搬入工程(ステップT10)から処理済み試料の搬出工程(ステップT16)まで繰り返す。

【0051】以上の操作は、最初の実施形態と同様コントローラ30の制御により行われる。この製造方法によっても、アモルファスシリコン膜13の成膜(ステップT13)後で、次のアルミナ膜の成膜(ステップT12)までに、不安定なシリコン原子を除去する工程であるプレスパッタが行われる(ステップT15)ので、アルミナ膜の成膜(ステップT12)を行うときには、処理雰囲気中に不安定なシリコン原子は存在しない。したがって、アルミナ膜中にシリコン原子が取り込まれることはないので、安定な光学定数を有する端面保護膜11、12を得ることができる。

【0052】また、上述の構成の装置(図4、図5)を用いることで、このような安定な光学定数を有する端面保護膜11、12を形成することが可能である。その他、特許請求の範囲に記載された事項の範囲で種々の変更を施すことが可能である。たとえば、一つの半導体レーザチップ10に対して、レーザ出射側端面にアルミナ膜を形成する工程、反射側端面にアルミナ膜を形成する工程、および反射側端面にアモルファスシリコン膜13を形成する工程には、いくつか考え得る順序が存在する。その際、アモルファスシリコン膜13を形成する工程と、その直後のアルミナ膜を形成する工程との間に、プレスパッタなど、アモルファスシリコン膜13の成膜に伴って生じた不安定なシリコン原子の除去工程が実施されているならば、アルミナ膜中にシリコン原子が取り込まれることはない。したがって、このような製造方法によって、安定な光学特性を有するアルミナ膜を含む端面保護膜11、12を得ることができる。

【0053】これまでの説明は、ターゲットは、アルミナターゲット（第1ターゲット26a）と $\alpha$ -Siターゲット（第2ターゲット26b）の2つの例であった。処理室21内には、さらにアモルファスシリコン膜13を形成する目的以外のシリコン原子を含むターゲットがあってもかまわない。たとえば、端面保護膜としてのアルミナ膜11、12とアモルファスシリコン膜13を成膜するための処理室21内に、SiO<sub>2</sub>ターゲットがあり、何らかの目的のためにこのSiO<sub>2</sub>ターゲットを使用したスパッタをも行う必要があったとする。このような場合にも、SiO<sub>2</sub>ターゲットを使用したスパッタを行った後には、処理室21内には、不安定なシリコン原子が存在している。

【0054】しかし、アルミナ膜のスパッタ成膜を行う前に酸素プラズマを伴うプレスパッタを行い、活性化された酸素原子とこの不安定なシリコン原子を結合させることにより、不安定なシリコン原子を除去することが可能である。したがって、アルミナ膜にシリコン原子が取り込まれることはないので、安定な光学定数を有するアルミナ膜を得ることができる。以上の実施形態において、レーザ出射側端面には端面保護膜11のみが形成された単層構造とされ、反射側端面には端面保護膜12の上にアモルファスシリコン膜13が形成された2層構造とされていたが、本発明は、これに限定されるものではない。たとえば、これらの一方または双方が端面保護膜12（11）とアモルファスシリコン膜13とが交互に積層した多層膜であってもよい。その場合、各層の層厚で反射率を調整することができるので、一方を反射側端面として機能させ、他方をレーザ出射側端面として機能させることができる。

【0055】このような構造の半導体レーザは、1つの半導体レーザチップ10の端面に、端面保護膜12（11）とアモルファスシリコン膜13とを、交互に繰り返して成膜することにより得ることができる。この場合でも、アモルファスシリコン膜13の形成工程の後、次の端面保護膜（アルミナ膜）12（11）形成工程の前にプレスパッタ工程を実行することにより、端面保護膜12（11）中へのシリコン原子の混入を回避して、安定な光学定数を有する端面保護膜を得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る製造方法によって作製されるべき半導体レーザの構成を簡略化して示す斜視図である。

【図2】上記半導体レーザの横断面図である。

【図3】上記半導体レーザの製造方法を示すフローチャートである。

【図4】本発明の一実施形態に係る製造方法に用いるスパッタ成膜装置の処理室の構造を示す図解的な断面図である。

【図5】図4のスパッタ成膜装置の全体的な構造を示す図解的な概略図である。

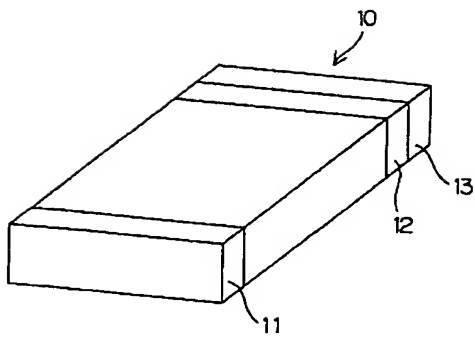
【図6】端面保護膜形成プロセスの一例を示すフローチャートである。

【図7】上記本発明の他の実施形態に係る製造方法を示すフローチャートである。

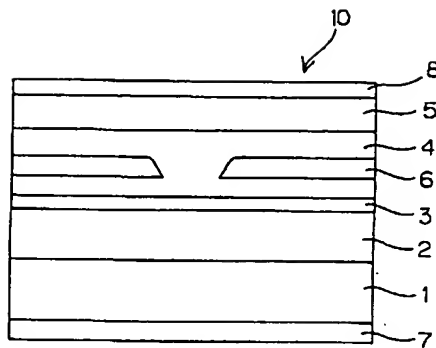
【符号の説明】

10	半導体レーザチップ
11, 12	端面保護膜
13	アモルファスシリコン膜
21	処理室
22	電極
23a	電極
23b	電極
24	試料保持板
25a	バックングプレート
25b	バックングプレート
26a	第1ターゲット
26b	第2ターゲット
27a	シャッタ
27b	シャッタ
28T	電源
29T	マッチングボックス
30	コントローラ
31	ロード／アンロード室
32	ゲートバルブ
33	ゲートバルブ
34	リーク弁
35	搬送機構
36	搬入／搬出機構

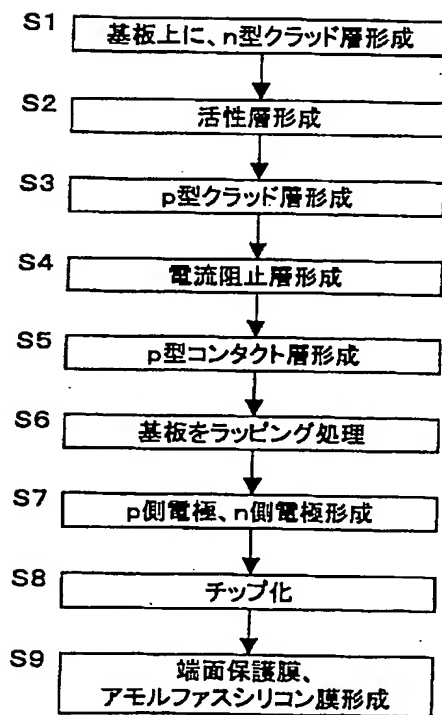
【図 1】



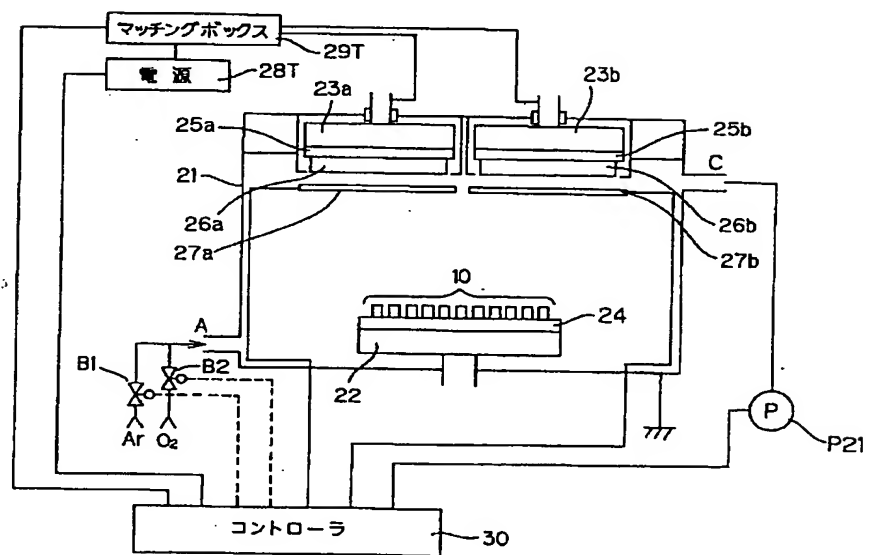
【図 2】



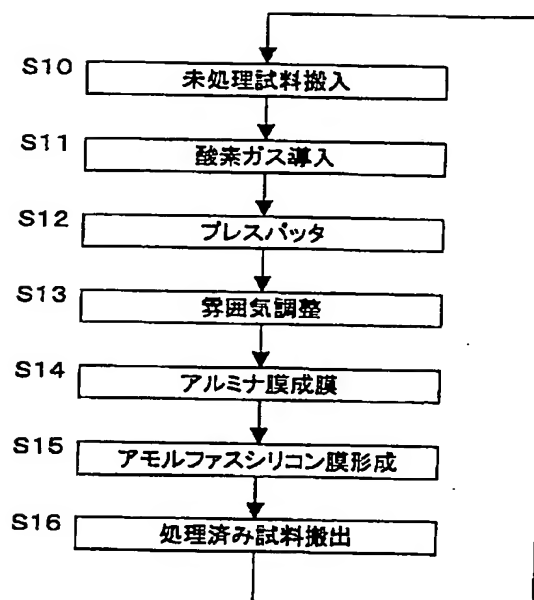
【図 3】



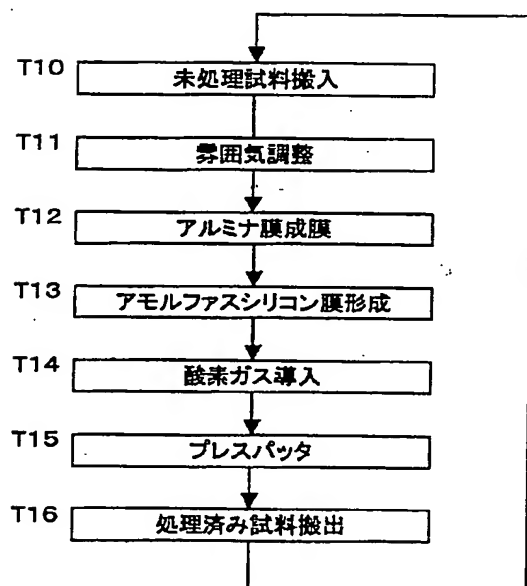
【図 4】



【図 6】



【図 7】



F ターム (参考)

4K029	AA06	BA35	BA44	BB02	BB10
	BD01	CA05	FA09		
5F058	BA20	BB01	BC03	BE10	BF12
5F073	AA03	AA84	CB02	DA33	DA35
	EA29				
5F103	AA08	DD27	HH03	LL03	PP01
	RR05				